

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07105404 A**(43) Date of publication of application: **21.04.95**

(51) Int. Cl.

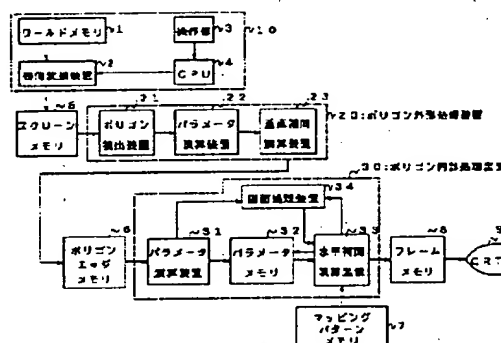
G06T 15/00**G06T 15/40**(21) Application number: **05247842**(22) Date of filing: **04.10.93**(71) Applicant: **RICOH CO LTD**(72) Inventor: **SHIRAISHI NAOHITO
FUJII TATSUYA****(54) STEREOSCOPIC IMAGE PROCESSOR AND ITS
PROCESSING METHOD**

(57) Abstract:

PURPOSE: To attain mapping processing based upon a Z buffer method by accessing a mapping pattern memory in accordance with an address calculated based upon the mapping address and depth information of a pattern.

CONSTITUTION: An outline processor 20 changes X and Y addresses for the mapping of a pattern stored in a memory 5 and depth information correspondingly to the outline of a polygon to interpolate and calculate the changed contents. An internal processor 30 calculates a mapping pattern address by implicit-surface processing using the Z buffer method based upon the X address of at least one of two opposed sides of the polygon located just before a compared picture element position, mapping pattern information and the displacement of the mapping pattern information. When the mapping pattern memory 7 is accessed in accordance with the calculated address, the R, G, B values or luminance values of respective dots are successively read out and transferred to a CRT 9 and displayed on the CRT 9 as a picture.

COPYRIGHT: (C)1995,JPO



THIS PAGE BLANK (USPTO)



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7-105404

(43) 公開日 平成7年(1995)4月21日

(51) Int. Cl.⁶

G 0 6 T 15/00
15/40

識別記号

庁内整理番号

F I

技術表示箇所

9192-5 L
9192-5 L

G 0 6 F 15/72 4 5 0 A
4 2 0

審査請求 未請求 請求項の数 2

O L

(全 2 0 頁)

(21) 出願番号 特願平5-247842

(22) 出願日 平成5年(1993)10月4日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 白石 尚人

東京都大田区中馬込1丁目3番6号 株式会
社リコー内

(72) 発明者 藤井 達也

東京都大田区中馬込1丁目3番6号 株式会
社リコー内

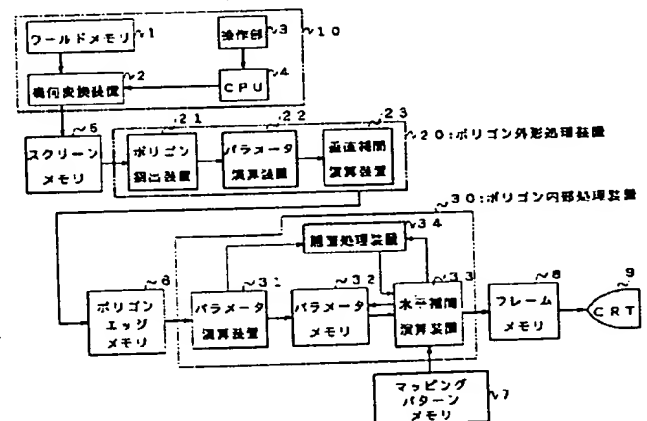
(74) 代理人 弁理士 鳥居 洋

(54) 【発明の名称】 立体画像処理装置及びその処理方法

(57) 【要約】

【目的】 この発明は、Zバッファ法を用い、且つマッピング処理が可能な立体画像処理装置を提供することを目的とする。

【構成】 ポリゴンを構成するX、Yの端点情報及びマッピングパターン端点情報とポリゴンのZ値を格納するメモリ5と、この各端点情報に基づいて、ポリゴン外形のアドレス情報、マッピングパターン端点情報及びZ値を、スキャンラインごとにポリゴン外形部分の情報に変換する外形処理装置20と、外形処理装置20にて算出した各データをZバッファ法を使用した隠面処理により、比較した画素位置における一番手前に位置するポリゴンのマッピングパターンアドレスを算出し、算出したマッピングメモリアドレスに従いマッピングパターンメモリ7をアクセスし、各ドットのR、G、Bを順次読み出す内部処理装置30と、この転送されたR、G、Bを表示するCRT9と、を備えてなる。



【特許請求の範囲】

【請求項1】 ポリゴンを構成するX、Yの端点情報及びポリゴン面に付与する模様を示すマッピングパターン端点情報とポリゴンの奥行き情報を格納する記憶手段と、上記記憶手段からの各端点情報を幾何変換する幾何変換手段と、上記幾何変換手段からの各端点情報に基づいて、ポリゴン外形のアドレス情報、マッピングパターン端点情報及びポリゴンの奥行き情報を、スキャンラインごとにポリゴン外形部分の情報にそれぞれ変換する外形処理手段と、上記外形処理手段にて算出された対向する2辺間の各アドレス情報を演算し、マッピングパターン情報の変位、Xアドレスの変位、奥行き情報の変位を求める手段と、スキャンラインの各画素に対応する画素位置がポリゴンの範囲内に存在するか否か判別する手段と、一番手前に存在する画素ドットの奥行き情報とその画素位置のポリゴン奥行き情報を比較するとともに、比較する対象の奥行き情報を常に一番手前に存在するポリゴンの奥行き情報に書き換える手段と、ポリゴンの奥行き情報に上記奥行き情報の変位を加算し、隣接する画素位置の奥行き情報を算出する手段と、比較した画素位置における一番手前に位置するポリゴンの対向する2辺間の少なくとも1方のXアドレス、マッピングパターン情報、マッピングパターン情報の変位に基づいてマッピングパターンアドレスを算出する手段と、基本パターンのルックアップテーブルを構成するマッピングパターンメモリと、上記算出されたマッピングパターンアドレスに基づき上記マッピングパターンメモリをアクセスし、画像データ読み出し、表示装置に転送する手段と、を備えて成る立体画像処理装置。

【請求項2】 ポリゴンを構成するX、Yの端点情報及びポリゴン面に付与する模様を示すマッピングパターン端点情報とポリゴンの奥行き情報を格納するメモリからの各端点情報を幾何変換する幾何変換装置と、上記幾何変換装置からの各端点情報に基づいて、ポリゴン外形のアドレス情報、マッピングパターン端点情報及びポリゴンの奥行き情報を、スキャンラインごとにポリゴン外形部分の情報にそれぞれ変換する外形処理装置と、上記外形処理装置にて算出された対向する2辺間の各アドレス情報に基づき、Zバッファ法に基づき隠面処理を行い一番手前に位置するポリゴンのマッピングパターンアドレスを算出する内部処理装置と、基本パターンのルックアップテーブルを構成するマッピングパターンメモリと、画像データを表示する表示装置と、を備え、外形処理装置にて算出された対向する2辺間の各アドレス情報によりマッピングパターン情報の変位、Xアドレスの変位、奥行き情報の変位を求め、スキャンラインの各画素に対応する画素位置がポリゴンの範囲内に存在するか否か判別し、一番手前に存在するポリゴンの奥行き情報とその画素位置のポリゴン奥行き情報を比較するとともに、比較する対象の奥行き情報を常に一番手前に存在する画素

ドットに書き換え、ポリゴンの奥行き情報に上記奥行き情報の変位を加算し、隣接する画素位置の奥行き情報を算出し、比較した画素位置における一番手前に位置するポリゴンの対向する2辺間の少なくとも1方のXアドレス、マッピングパターン情報、マッピングパターン情報の変位に基づいてマッピングパターンアドレスを算出して、上記マッピングパターンメモリをアクセスし、画像データ読み出し、表示装置に転送することを特徴とする立体画像処理方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、3次元多面体物体を2次元スクリーン上に投影して表示する立体画像処理装置及びその処理方法に関する。

【0002】

【従来の技術】3次元立体図形を透視変換処理、遠近処理等によって、CRTディスプレイ等の2次元（平面）スクリーン上に合成して表示する場合、手前に存在する物体が、それより奥にある物体の一部または全てを隠す処理、すなわち隠面消去処理を行う必要がある。隠面消去の方法としては、Zソート法（塗り重ね法）、Zバッファ法、スキャンライン法等がある。

【0003】Zソート法は、処理が非常に高速に行えるという利点があるものの、ポリゴンが交差していたりするとモデルを正しく描画することができないという欠点がある。ポリゴンの処理の内部で画素（ピクセル）を単位とする前後判定を行い、上記Zソート法の欠点をなくすようにしたアルゴリズムがZバッファ法である。Zバッファ法は、各画素に表示すべきポリゴンの色データとその面の奥行き、すなわち物体のZ値（視点からの距離）を画素単位に記憶しておき、新しいポリゴンが入力される度に記憶しているZ値と新しいポリゴンのZ値を比べ、新しいZ値の方が小さい時のみZ値を更新し、同時に新しいポリゴンの色データを登録するものである。これによって遠くにある物体は近くにある物体によって上書きされ、結果として隠面消去された画像を得ることができる。

【0004】このZバッファ法は、物体のZ値を記憶させるためのZバッファを画素毎に必要とし、全体では画素数分の大きさを持つ大きな画像メモリが必要になるという問題がある。

【0005】一方、スキャンライン法はCRTのようにラスタスキャン毎に各画素の色データを表示する場合、隣り合う画素、すぐ次のスキャンラインの画素は現画素と非常に強い相関関係を持つことに注目した方法で、逐次処理を行う装置に適しているが、多くの計算を必要として、制御論理も複雑になるという欠点を有する。

【0006】上記の両隠面消去処理方法の中間的な隠面処理として、スキャンライン間は相関関係を利用し、1ライン内はZバッファ法を用いた装置が、例えば、特開

昭 62-100878 号公報に開示されている。これには、「奥行き距離 (Z 値) を保持する奥行きレジスタと、輝度 (色・輝度) データを保持する輝度レジスタと、平面セグメントの範囲の内外判定、奥行き距離の変位加算、奥行きデータの比較を時分割的に行う 1 つの加算器と、入力された平面セグメントトークンに関する情報を更新しながら一段のパイプラインレジスタを通して出力する入出力手段、及び輝度レジスタの内容を外部に出力する輝度データバスとを備えた隠れ線処理装置」が開示されている。この装置によれば、少ないハードウェア量で隠面処理を行うことができる。

【0007】

【発明が解決しようとする課題】

【0008】 前述した隠線処理装置においては、輝度データのみを登録し、この輝度データを表示するように構成されているため、シェーディング等の塗りつぶし処理は行うことができるが、ポリゴン内部に模様 (テクスチャ) を貼り付けるマッピング処理を行うことはできなかった。しかしながら、コンピュータグラフィックスにおいては、よりリアリティのある画像を再生することが望まれており、ポリゴンの上に対象物体の実写等のテクスチャーをマッピングし、画像を生成する手法がとられている。

【0009】 表示される各ポリゴンに模様 (テクスチャー) を貼り付けるいわゆるマッピング処理を行う画像処理装置が提案されている (特願平 4-37311 号参照)。

【0010】 この画像処理装置によれば、ポリゴンの外形の変化に対応して、ポリゴン内部に付加する模様を変化させ、ポリゴンに模様を付加することができる。

【0011】 しかしながら、上記したマッピング処理が可能な画像処理装置においては、ポリゴンへのマッピングを容易に行うことができるが、この装置においては、ポリゴンの隠面消去法として、Z ソート法が用いられており、ポリゴンが交差した場合には、モデルを正しく描画することができないという難点があった。

【0012】 この発明は上述した従来の問題点を解消し、Z バッファ法を用い、且つマッピング処理が可能な立体画像処理装置を提供することを目的とする。

【0013】

【課題を解決するための手段】 この発明の立体画像処理装置は、ポリゴンを構成する X、Y の端点情報及びポリゴン面に付与する模様を示すマッピングパターン端点情報とポリゴンの奥行き情報を格納するメモリと、上記メモリからの各端点情報を幾何変換する幾何変換装置と、上記幾何変換装置からの各端点情報に基づいて、ポリゴン外形のアドレス情報、マッピングパターン端点情報及びポリゴンの奥行き情報を、スキャンラインごとにポリゴン外形部分の情報にそれぞれ変換する外形処理手段と、上記外形処理手段にて算出された対向する 2 辺間の

各アドレス情報を演算し、マッピングパターン情報の変位、X アドレスの変位、奥行き情報の変位を求める手段と、スキャンラインの各画素に対応する画素位置がポリゴンの範囲内に存在するか否かを判別する手段と、一番手前に存在する画素ドットの奥行き情報とその画素位置のポリゴン奥行き情報を比較するとともに、比較する対象の奥行き情報を常に一番手前に存在するポリゴンの奥行き情報に書き換える手段と、ポリゴンの奥行き情報に上記奥行き情報の変位を加算し、隣接する画素位置の奥行き情報を算出する手段と、比較した画素位置における一番手前に位置するポリゴンの対向する 2 辺間の少なくとも 1 方の X アドレス、マッピングパターン情報、マッピングパターン情報の変位に基づいてマッピングパターンアドレスを算出する手段と、基本パターンのルックアップテーブルを構成するマッピングパターンメモリと、上記算出されたマッピングパターンアドレスに基づき上記マッピングパターンメモリをアクセスし、画像データ読み出し、表示装置に転送する手段と、を備えて成る。

【0014】

【作用】 この発明は、各ポリゴン端点に模様のためのマッピングの X、Y アドレスとポリゴンの奥行き状態を示す奥行き情報を備え、そのマッピングの X、Y アドレスと奥行き情報をポリゴンの外形に対応して変化させて補間して算出する。Z バッファ法を使用した隠面処理により、比較した画素位置における一番手前に位置するポリゴンの対向する 2 辺間の少なくとも 1 方の X アドレス、マッピングパターン情報、マッピングパターン情報の変位に基づいてマッピングパターンアドレスを算出する。この算出したマッピングメモリアドレスに従いマッピングパターンメモリをアクセスすることにより、マッピングメモリに格納されたデータに基づき、各ドットの R、G、B または輝度 (LUT) 値を順次読み出し、この R、G、B または LUT 値が CRT に転送され画像として表示される。

【0015】

【実施例】 以下、この発明の実施例につき図面を参照して説明する。

【0016】 図 1 はこの発明を用いた疑似 3 次元画像処理装置の全体構成を示すブロック図であり、この装置は例えば、レーシングゲームや飛行機の操縦シミュレーション等のゲーム用機器に用いて好適な一例が示されている。図 1 に従いこの発明の全体構成につき説明する。

【0017】 画像情報供給装置 10 の構成について説明すると、この装置には、ワールドメモリ 1、幾何変換装置 2、操作部 3、CPU 4 を備える。ワールドメモリ 1 にはあらゆる物体が複数のポリゴンの集合体として表現され、ポリゴンの端点をワールド座標上の X、Y、Z 座標として格納している。更に、このワールドメモリ 1 には、オブジェクトのオブジェクト座標上のポリゴン端点の X、Y、Z 座標、及びポリゴンに対応して、夫々テク

スチャ画像を格納するマッピングパターンメモリの端点情報データが格納されている。操作部 3 は、ハンドル、アクセル、ブレーキ等で構成され、その操作内容は電気信号に変換され、CPU 4 へ出力される。

【0018】CPU 4 は、ハンドルアクセス等で構成された操作部 3 の操作内容に基づいて変換された電気信号に従いこの状況に応じた状況データを演算し、幾何変換装置 2 へデータを与える。

【0019】幾何変換装置 2 は、CPU 4 からの命令に従いワールドメモリ 1 から各ポリゴンの端点情報をデータを読み出し、オブジェクトの運動や視野の回転等に必要な行列演算を実行し、ワールド座標の端点をスクリーン座標へ投影変換等の幾何変換を行い、その X、Y の 2 次元のスクリーンデータをスクリーンメモリ 5 に与える。また、ポリゴンの視野変換された代表値、すなわち、そのポリゴンの視点からの距離の代表値、すなわち、奥行き距離データ (Z 値) を決定し、そのデータをスクリーンメモリ 5 に与える。このスクリーンメモリ 5 は図 25 に示すように、各ポリゴンの端点につき、X、Y のスクリーン座標値、Z 値、マッピングパターンメモリの X、Y 座標 (MX、MY) 値が格納される。

【0020】ポリゴン外形処理装置 20 は、ポリゴン抽出装置 21、パラメータ演算装置 22、垂直補間演算装置 23 で構成される。ポリゴン抽出装置 21 は、スクリーンメモリ 5 より読み出されたポリゴン端点の XY アドレスに基づいて、ポリゴンを構成する各辺のベクトルが図 27 に示すどの方向に属するかを判断し、そのベクトルの方向に応じて、図 28 に示すように、ポリゴンの辺を構成する端点が右辺に属するか左辺に属するかを決定する。そして、ポリゴン抽出装置 21 にてスクリーンメモリ 5 からポリゴンを構成する各辺の端点、すなわち X の始点アドレス (XS)、終点アドレス (XE)、及び Y の始点アドレス (YS)、右辺アドレス (YE)、並びに、テクスチャを構成するマッピングパターンの X 始点アドレス (MXS)、X 終点アドレス (MXE)、Y 始点アドレス (MYS)、Y 終点アドレス (MYE) を取り込むと共に、ポリゴンの奥行き距離データ (Z 値) を取り込み、パラメータ演算装置 22 に各データを与える。

【0021】そして、このポリゴン外形処理装置 20 のパラメータ演算装置 22 は、ポリゴンの外形端点情報をデジタル微分解析 (DDA) で求める際に必要はパラメータを算出し、そのパラメータを垂直補間演算装置 23 に与える。この垂直補間演算装置 23 にて、ポリゴンが各スキャンラインと交差する左辺及び右辺のそれぞれの外形端点情報、マッピングパターンのアドレス及び Z 値を補間しながら算出する。算出された各データがポリゴンエッジメモリ 6 に与えられる。このポリゴン外形処理装置 20 の詳細については後述する。

【0022】そして、ポリゴンエッジメモリ 6 には、図

23 に示すように、ポリゴン外形処理装置 20 より与えられた各データ、すなわち、スキャンラインごとにポリゴンの左辺 X、右辺 X の値と左辺のマッピングメモリアドレス、右辺のマッピングメモリアドレスと左辺の Z 値、右辺の Z 値が画面の垂直方向 (Y アドレス方向) の解像度だけ夫々格納されている。

【0023】更に、このポリゴンエッジメモリ 6 には、1 つの Y アドレスに格納されているポリゴン数 (CNT) が書き込まれる。すなわち、1 つの Y アドレスに 1 個のポリゴンを格納する毎にポリゴン数をカウントアップしてゆき、このカウント数 (CNT) をポリゴンエッジメモリ 6 に書き込む。

【0024】ポリゴンエッジメモリ 6 に格納されている各データはポリゴン内部処理装置 30 へ与えられる。ポリゴン内部処理装置 30 は、パラメータ演算装置 31、パラメータメモリ 32、水平補間装置 33、隠面処理装置 34 で構成される。

【0025】パラメータ演算装置 31 にて、スキャンライン毎にポリゴンエッジメモリ 6 よりポリゴンの左辺 X、右辺 X の値 (XL、XR) と左辺のマッピングメモリアドレス、右辺のマッピングメモリアドレス値 (MXL、MXR) と左辺の及び右辺の Z 値 (ZL、ZR) を受取り、水平補間演算に必要なパラメータを演算し、パラメータメモリ 32 及び隠面処理装置 34 へそれぞれパラメータを転送する。パラメータメモリ 32 は図 24 に示すように、パラメータアドレス毎に左辺の X 値、左辺のマッピングメモリアドレス値 (MXL、MYL)、左辺のマッピングメモリアドレスの傾き、すなわち、差分値 (DDMX、DDMY) が格納される。

【0026】この発明における隠面処理装置 34 は Z バッファ法を使用した隠面処理を行うもので、スキャンライン毎にパラメータ演算装置 31 よりパラメータを受け取り、そのパラメータをパイプライン上にて順次各ドット (画素) 毎に隠面処理を行ってゆき、1 スキャンラインのデータを全て処理した時点で各ドットのパラメータメモリアドレスを順次水平補間演算装置 33 へ転送することにより隠面処理を行う。すなわち、各ドットにおいて、格納されている一番手前に存在するポリゴンの Z 値と処理するポリゴンの Z 値を比較し、処理するポリゴンの Z 値が小さい場合には、そのポリゴンのパラメータアドレスを水平補間演算装置 33 へ転送し、その Z 値を比較すべき Z 値として格納する。また処理するポリゴンの Z 値が大きい場合には、Z 値の書換及びパラメータアドレスの書換は行わず、以前に格納されたままのパラメータアドレス値が水平補間演算装置 33 へ転送される。

【0027】水平補間演算装置 33 は、隠面処理装置 34 から受け取ったパラメータアドレスに従いパラメータメモリ 32 をアクセスし、パラメータを読み出し、水平補間演算を行ってマッピングメモリアドレス (MX、MY) を算出する。この算出したマッピングメモリアドレ

ス(MX, MY)にて、図26に示すようなデータが格納されたマッピングパターンメモリ7をアクセスすることにより、マッピングメモリ7に格納されたデータに基づき、各ドットのR、G、Bまたは輝度(LUT)値を順次読み出し、フレームメモリ8へ書き込む。このポリゴン内部処理装置30の詳細については、後述する。

【0028】ポリゴン内部処理装置30からフレームメモリ8へ与えられたドットのR、G、BまたはLUT値がCRT9に転送され画像として表示される。

【0029】つぎに、この発明のポリゴン外形処理装置20、ポリゴン内部処理装置30につき図2ないし図18を参照して説明する。

【0030】この実施例においては、ポリゴンはスクリーン端点座標(X, Y)と、テクスチャ、即ちマッピングパターンの端点座標(MX, MY)及び奥行き距離(Z値)を持つことにより、Zバッファ法による隠面処理を行うと共に、例えば図26に示すようなテクスチャをポリゴン面に対応して変形させてポリゴン面にマッピングする。

【0031】まず、ポリゴン外形処理装置20にてポリゴンの外形処理について、図2ないし図8に従い説明する。

【0032】この外形処理のために、ポリゴン抽出装置21にて、スクリーンメモリ5より読み出されたポリゴン端点のXYアドレスに基づいて、ポリゴンを構成する各辺のベクトルが図27に示すどの方向に属するかを判断し、そのベクトルの方向に応じて、図28に示すように、ポリゴンの辺を構成する端点が右辺に属するか左辺に属するかを決定する。

【0033】スクリーンメモリ5には、スクリーン端点座標(X, Y)と、マッピングパターンの端点座標(MX, MY)及びポリゴンのZ値が格納されている。ポリゴン外形処理装置20のポリゴン抽出装置21はスクリーンメモリ5をアクセスし、スクリーンメモリ5よりスクリーン端点座標(X, Y)、マッピングパターンの端点座標(MX, MY)及び各ポリゴンのZ値を読み出し、ポリゴンの外形をデジタル微分解析(DDA)で算出するために、ポリゴンの右辺、または左辺を決定し、パラメータ算出するパラメータ演算装置22に夫々各辺に対応するデータを与える。即ち、Xパラメータ演算装置22aには、スクリーン座標が、マッピングパラメータ演算装置22bには、各辺の始点及び終点のスクリーン座標(X, Y)と各辺の始点及び終点のマッピングパターン座標(MX, MY)が、Zパラメータ演算装置22cに、各辺の始点及び終点のスクリーン座標(X, Y)とZ値(ZS, ZE)が与えられる。

【0034】ポリゴン外形処理回路20のXパラメータ演算装置22aでは、ポリゴン抽出装置21より与えられたスクリーン座標の各辺のYアドレスの始点(YS)及び終点アドレス(YE)からY方向の距離(DY)を

算出する。即ち、 $DY = YE - YS$ の演算を行う。続いて、スクリーン座標の各辺のX終点(XE)からX始点(XS)までの距離 $DX = XE - XS$ の演算を行う。このDY、DXを用いて、ポリゴンの外形のデジタル微分解析(DDA)のためのパラメータとして、 DX/DY の演算をし、微差分値(DDX)を求める。このDDXをX垂直補間装置23aに転送する。そして、X垂直補間演算装置23aにて補間演算を行い、この補間したデータがポリゴンエッジメモリコントローラ24を介してポリゴンエッジメモリ6に格納される。

【0035】即ち、下記数式1の(1)式に示すように、Xパラメータ演算装置22aにてその微差分値を算出し、下記(2)式に示すように、垂直補間演算装置23aにて補間演算を行い各辺の始点から終点までのアドレスを算出する。この(2)式におけるXの初期値は始点のデータ(XS)である。

【0036】

【数1】

$$DDX = (XE - XS) / DY \quad \dots (1)$$

$$X = X + DDX \quad \dots (2)$$

【0037】また、マッピングパターンパラメータ演算装置22bとマッピング垂直補間装置23bにてマッピングパターン座標の外形処理を行う。この処理はスクリーンメモリ5に格納されたマッピングパターンの端点アドレス(MX, MY)を変化させる。

【0038】ポリゴン抽出装置21より与えられたスクリーン座標の各辺のYアドレスの始点(YS)及び終点アドレス(YE)からY方向の距離(DY)を算出する。即ち、 $DY = YE - YS$ の演算を行う。続いて、ポリゴン抽出装置21を介して与えられたスクリーンメモリ5からのマッピングパターンの始点アドレス(MXS, MYS)、終点アドレス(MXE, MYE)のアドレスデータからポリゴンに対応するデータを下記数式2の(3)、(4)式に基づいて、マッピングパラメータ演算装置22bにてデジタル微分解析(DDA)のパラメータを算出し、そのパラメータをマッピング垂直補間装置23bに転送する。

【0039】そして、マッピング垂直補間装置23bにて(5)、(6)式に示すように、補間演算を行い各辺の終点から始点までのデータを算出し、ポリゴンエッジメモリ6に格納する。この(5)式におけるMXの初期値は始点のデータ(MYS)であり、(6)式におけるMYの初期値は始点のデータ(MYS)である。

(5)、(6)式の演算が0からDYまで繰り返される。

【0040】

【数2】

$$DMX = (MXE - MXS) / DY \quad \dots (3)$$

$$DMY = (MYE - MYS) / DY \quad \dots (4)$$

$$MX = MX + DMX \quad \dots (5)$$

$$MY = MY + DMY \quad \dots (6)$$

【0041】更に、スクリーンメモリ5より読み出されたZ値の始点アドレス(ZS)、終点アドレス(ZE)のアドレスデータからポリゴンに対応するデータを下記数式3の(7)、(8)式に基づいて、Z値パラメータ演算装置22c及びZ値垂直補間装置23cにてデジタル微分解析(DDA)により算出し、ポリゴンエッジメモリ6に格納する。即ち、(7)式に示すように、その微差分値を算出し、(8)式に示すように、補間演算を行い、各辺の終点から始点までのデータを算出する。この(8)式におけるZの初期値は始点データ(ZS)である。(8)式の演算が0からDYまで繰り返される。

【0042】

【数3】

$$DDZ = (ZE - ZS) / DY \quad \dots (7)$$

$$Z = Z + DDZ \quad \dots (8)$$

【0043】この実施例においては、スキャンラインに同期して、その垂直位置を示すYアドレスごとに、ポリゴンの外形とそれに基づいて変形されたマッピングパターンの外形アドレス情報及びZ値の外形アドレス情報がポリゴンエッジメモリ6に格納される。

【0044】上記各装置は、コントローラ20により制御され、このコントローラ25は図19に示すフローチャートに従って、端点間をDDAにより補間するために、パラメータ演算装置22、垂直補間演算装置23を制御する。

【0045】次にポリゴン外形処理装置20の具体的な構成例を図3ないし図8に示す。図3はXパラメータ演算装置22aの具体的な構成を示す回路図である。

【0046】図3に示すXパラメータ演算装置22aは垂直補間演算に用いるXパラメータを算出するためのものである。

【0047】スクリーンメモリ5より読み出されたY始点(YS)がレジスタ201に、スクリーンメモリ5より読み出されたY終点(YE)がレジスタ202に格納され、この両レジスタ201、202からYS、YEが減算器205に入力される。

【0048】この減算器205でYEからYSを減算処理し、この値(DY)をレジスタ207が一時的に格納する。

【0049】また、スクリーンメモリ5より読み出されたX始点(XS)がレジスタ203に、スクリーンメモリ5より読み出されたX終点(XE)がレジスタ204に格納され、この両レジスタ203、204から減算器206に、XS、XEが与えられる。

【0050】この減算器206でXEからXSを減算処理し、この値(DX)をレジスタ208が一時的に格納する。

【0051】レジスタ207、208から除算器209に、減算器206にて減算処理したDXと減算器205

にて減算処理したDYが与えられ、DXの値をDYで除算する。除算器209により演算された微差分値DDXはレジスタ210に一時的に格納された後、X垂直補間装置23aに転送される。

【0052】図4はマッピングパラメータ演算装置22bの具体的な構成を示す回路図である。マッピングパラメータ演算装置22bは垂直補間演算に用いるマッピングパラメータを算出するためのものである。

【0053】スクリーンメモリ5より読み出されたY始点(YS)がレジスタ211に、スクリーンメモリ5より読み出されたY終点(YE)がレジスタ212に格納され、この両レジスタ211、212からYS、YEが減算器217に入力される。

【0054】この減算器217でYEからYSを減算処理し、この値(DY)をレジスタ220、222が一時的に格納する。

【0055】また、スクリーンメモリ5より読み出されたマッピングメモリアドレスのX始点(MXS)がレジスタ213に、スクリーンメモリ5より読み出されたマッピングメモリアドレスのX終点(MXE)がレジスタ214に格納され、この両レジスタ213、214から減算器218に、MXS、MXEが与えられる。

【0056】この減算器218でMXEからMXSを減算処理し、この値(DMX)をレジスタ221が一時的に格納する。

【0057】更に、スクリーンメモリ5より読み出されたマッピングメモリアドレスのY始点(MYS)がレジスタ215に、スクリーンメモリ5より読み出されたマッピングメモリアドレスのY終点(MYE)がレジスタ216に格納され、この両レジスタ215、216から減算器219に、MYL、MYRが与えられる。

【0058】この減算器219でMYEからMYSを減算処理し、この値(DMY)をレジスタ230が一時的に格納する。

【0059】レジスタ220、221から除算器231に、減算器217にて減算処理したDYと減算器218にて減算処理したDMXが与えられ、DMXの値をDYで除算する。除算器231により演算された微差分値DDMXはレジスタ233に一時的に格納された後、マッピング垂直補間装置23bに転送される。

【0060】また、レジスタ222、230から除算器232に、減算器217にて減算処理したDYと減算器219にて減算処理したDMYが与えられ、DMYの値をDYで除算する。除算器232により演算された微差分値DDMYはレジスタ234に一時的に格納された後、マッピング垂直補間装置23bに転送される。

【0061】図5はZパラメータ演算装置22cの具体的な構成を示す回路図である。図5に示すZパラメータ演算装置22cは垂直補間演算に用いるZパラメータを算出するためのものである。

【0062】スクリーンメモリ5より読み出されたY始点(YS)がレジスタ235に、スクリーンメモリ5より読み出されたY終点(YE)がレジスタ236に格納され、この両レジスタ235、236からYS、YEが減算器239に入力される。

【0063】この減算器239でYEからYSを減算処理し、この値(DY)をレジスタ241が一時的に格納する。

【0064】また、スクリーンメモリ5より読み出されたZ始点(ZS)がレジスタ237に、スクリーンメモリ5より読み出されたZ終点(ZE)がレジスタ238に格納され、この両レジスタ237、238から減算器240に、ZS、ZEが与えられる。

【0065】この減算器240でZEからZSを減算処理し、この値(DZ)をレジスタ242が一時的に格納する。

【0066】レジスタ241、242から除算器243に、減算器240にて減算処理したDZと減算器239にて減算処理したDYが与えられ、DZの値をDYで除算する。除算器243により演算された微差分値DDZはレジスタ244に一時的に格納された後、Z垂直補間装置23cに転送される。

【0067】次にX垂直補間演算装置23aの構成について図6に従い説明する。

【0068】Xパラメータ演算装置22aより転送されたスクリーン座標のXSはマルチプレクサ245を介してレジスタ247に格納される。

【0069】マルチプレクサ245は、スタート信号を受けた時だけ、Xパラメータ演算装置22aの値がレジスタ247に転送され、それ以外の時には、加算器248の出力がレジスタ247に転送されるように制御される。

【0070】レジスタ246は、Xパラメータ演算装置22aより転送されたパラメータDDXの値を一時的に格納する。

【0071】スタート信号を受けることによりレジスタ246の値を加算器248へ転送する。加算器248にてXとDDXが加算され、その加算結果(X)がレジスタ249に与えられ、ポリゴンエッジメモリコントローラ24を介して、ポリゴンエッジメモリ6へ格納される。

【0072】次に、マッピング垂直補間演算装置23bの構成について図7に従い説明する。

【0073】マッピングパラメータ演算装置22bより転送されたマッピングパターンメモリアドレス座標のMXLはマルチプレクサ250を介してレジスタ252に格納される。

【0074】マルチプレクサ250は、スタート信号を受けた時だけ、マッピングパラメータ演算装置22bの値がレジスタ252に転送され、それ以外の時には、加

算器255の出力がレジスタ252に転送されるように制御される。

【0075】レジスタ251は、マッピングパラメータ演算装置22bより転送されたパラメータDDMXの値を一時的に格納する。

【0076】スタート信号を受けることによりレジスタ251の値を加算器255へ転送する。加算器255にてMXとDDMXが加算され、その加算結果(MX)がレジスタ257に与えられ、ポリゴンエッジメモリコントローラ24を介して、ポリゴンエッジメモリ6へ格納される。

【0077】また、マッピングパラメータ演算装置22bより転送されたマッピングパターンメモリアドレス座標のMYSはマルチプレクサ251を介してレジスタ254に格納される。

【0078】マルチプレクサ251は、スタート信号を受けた時だけ、マッピングパラメータ演算装置22bの値がレジスタ254に転送され、それ以外の時には、加算器256の出力がレジスタ254に転送されるように制御される。

【0079】レジスタ253は、マッピングパラメータ演算装置22bより転送されたパラメータDDMYの値を一時的に格納する。

【0080】スタート信号を受けることによりレジスタ253の値を加算器256へ転送する。加算器256にてMYとDDMYが加算され、その加算結果(MY)がレジスタ258に与えられ、ポリゴンエッジメモリコントローラ24を介して、ポリゴンエッジメモリ6へ格納される。

【0081】Z垂直補間演算装置23cの構成について図8に従い説明する。

【0082】Zパラメータ演算装置22cより転送されたZSはマルチプレクサ260を介してレジスタ262に格納される。

【0083】マルチプレクサ260は、スタート信号を受けた時だけ、Zパラメータ演算装置22cの値がレジスタ262に転送され、それ以外の時には、加算器263の出力がレジスタ262に転送されるように制御される。

【0084】レジスタ261は、Zパラメータ演算装置22cより転送されたパラメータDDZの値を一時的に格納する。

【0085】スタート信号を受けることによりレジスタ262の値を加算器263へ転送する。加算器263にてZとDDZが加算され、その加算結果(Z)がレジスタ264に与えられ、ポリゴンエッジメモリコントローラ24を介して、ポリゴンエッジメモリ6へ格納される。

【0086】ポリゴン内部処理装置30について、図9ないし図18に従い説明する。ポリゴン内部処理装置3

0は前述したように、パラメータ演算装置31、パラメータメモリ32、水平補間演算装置33、隠面処理装置34にて構成されている。まず、パラメータ演算装置33につき、図9ないし図11に基づき説明する。

【0087】パラメータ演算装置31はスキャンライン毎に対応する2辺すなわち、左辺及び右辺間のXYアドレスをポリゴンエッジメモリ6より読み出し、この読み出したアドレス情報に基づいて、下記数式4の(9)～(12)式に従いポリゴン内部の各画素ドットのアドレスをマッピングパターンアドレス及び隠面パラメータアドレスとして算出する。

【0088】即ち、この実例例においては、スキャンライン走査信号に同期して、その垂直位置としてのYアドレスに対応するポリゴンの外形を示す2点のXの左辺(XL)とXの右辺(XR)とマッピングパターンを変*

$$DXY = XR - XL \quad \dots (9)$$

$$DDMX = (MXR - MXL) / DXY \quad \dots (10)$$

$$DDMY = (MY - MYL) / DXY \quad \dots (11)$$

$$DZ = (ZR - ZL) / DXY \quad \dots (12)$$

【0092】そして、図9に示すように、ポリゴンエッジメモリコントローラ31cにより、ポリゴンエッジメモリ6からYアドレス(スキャンライン)毎の左辺、右辺のスキャンラインアドレス(XL, XR)、マッピングパターンアドレス(MXL, MYL)、(MXL, MXR)及びZ値(ZL, ZR)を読み出し、マッピングパラメータ演算装置31a及び隠面処理パラメータ演算装置31bにそれぞれデータを転送する。

【0093】マッピングパラメータ演算装置31aは、ポリゴンエッジメモリコントローラ31cより、Yアドレス(スキャンライン)毎の左辺、右辺のスキャンラインアドレス(XL, XR)、マッピングパターンアドレス(MXL, MYL)、(MXL, MXR)を受取り、上記(9)～(11)式に基づき、マッピングメモリアドレスMXのX値に対する変位、すなわち微差分値DDMX、マッピングメモリアドレスMYのX値に対する変位、すなわち微差分値DDMYを算出し、マッピングパターンアドレス(MXR, MYL)とともに、パラメータコントローラ31dに転送する。そして、パラメータコントローラ31dからパラメータメモリ32に上記各パラメータが格納される。

【0094】図10はマッピングパラメータ演算装置31aの具体的構成を示す回路図である。

【0095】ポリゴンエッジメモリコントローラ31cより、Yアドレス(スキャンライン)毎の左辺のスキャンラインアドレス(XL)がレジスタ301に、右辺のスキャンラインアドレス(XR)がレジスタ302に与えられ、この両レジスタ301、302からXL, XRが減算器307に入力される。

【0096】この減算器307でXRからXLを減算処理し、この値(DXY)をレジスタ310、312に一

*形したマッピングアドレス(MX, MY)とZ値(ZL, ZR)をポリゴンエッジメモリ6から読み出す。

【0089】ポリゴンエッジメモリ6より読み出されたXアドレスの左辺及び右辺アドレスから(9)式に示すようにX方向の距離(DXY)を算出する。

【0090】このDXYを用いて、マッピングパターンをポリゴンの形に合わせて変形させるために、ポリゴンエッジメモリ6より読み出されたマッピングパターンの端点マッピングアドレス(MX, MY)及びZ値を(10)、(11)、(12)式に基づいてデジタル微分解析(DDA)に用いるパラメータをマッピングパラメータ演算装置31a、隠面処理パラメータ演算装置31bにて算出する。

【0091】

【数4】

時的に格納する。

【0097】また、ポリゴンエッジメモリコントローラ31cより、マッピングメモリアドレスのX左辺(MXL)がレジスタ303、マッピングメモリアドレスのX右辺(MXR)がレジスタ304にそれぞれ与えられ、この両レジスタ303、304から減算器308に、MXL, MXRが与えられる。

【0098】この減算器308でMXRからMXLを減算処理し、この値(DMX)をレジスタ311が一時的に格納する。

【0099】更に、ポリゴンエッジメモリコントローラ31cより、マッピングメモリアドレスのY左辺(MYL)がレジスタ305に、マッピングメモリアドレスのY右辺(MYR)がレジスタ306にそれぞれ与えられ、この両レジスタ305、306から減算器309に、MYL, MYRが与えられる。

【0100】この減算器309でMYRからMYLを減算処理し、この値(DMY)をレジスタ313が一時的に格納する。

【0101】レジスタ310、311から除算器314に、減算器307にて減算処理したDXYと減算器308にて減算処理したDMXが与えられ、DMXの値をDXYで除算する。除算器314により演算された微差分値DDMXはレジスタ316に一時的に格納された後、パラメータコントローラ31dを介してパラメータメモリ32に転送され、格納される。また、パラメータメモリ32には、左辺のマッピングメモリアドレス(MXL, MYL)がパラメータコントローラ31dを介して転送され、格納される。

【0102】レジスタ312、313から除算器315に、減算器307にて減算処理したDXYと減算器30

9にて減算処理したDMYが与えられ、DMYの値をDXYで除算する。除算器315により演算された微差分値DDMYはレジスタ317に一時的に格納された後、パラメータコントローラ31dを介してパラメータメモリ32に格納される。

【0103】図9に示す隠面処理パラメータ演算装置31bは、ポリゴンエッジメモリコントローラ31cより、Yアドレス（スキャンライン）毎の左辺のスキャンラインアドレス（XL）、右辺のスキャンラインアドレス（XR）及びZ値（ZL、ZR）を受取り、パラメータ演算を行いZ値のX値に対する変位、すなわち、微差分値（DDZ）、X値の差（ $DXY = XR - XL$ ）を求め、XL、DXY、ZL、DDZを隠面処理インターフェース（I/F）31eへ転送するものである。

【0104】図11は上記隠面処理パラメータ演算装置31bの具体的構成を示す回路図である。

【0105】ポリゴンエッジメモリコントローラ31cより、Yアドレス（スキャンライン）毎の左辺のスキャンラインアドレス（XL）がレジスタ320に、右辺のスキャンラインアドレス（XR）がレジスタ321に与えられ、この両レジスタ320、321からXL、XRが減算器324に入力される。

【0106】この減算器324でXRからXLを減算処理し、この値（DXY）をレジスタ326に一時的に格納する。

【0107】また、ポリゴンエッジメモリコントローラ31cより、Z値の左辺（ZL）がレジスタ322、Z値の右辺（ZR）がレジスタ323にそれぞれ与えられ、この両レジスタ322、323から減算器325に、ZL、ZRが与えられる。

【0108】この減算器325でZRからZLを減算処理し、この値（DZ）をレジスタ327が一時的に格納する。

【0109】レジスタ326、327から除算器328に、減算器324にて減算処理したDXYと減算器325にて減算処理したDZが与えられ、DZの値をDXYで除算する。除算器328により演算された微差分値DDZはレジスタ329に一時的に格納された後、隠面処理装置インタフェース（I/F）31eを介して隠面処理装置34へ転送される。上記各回路はコントローラ40にて制御され、図20のフローチャートに従い動作する。

【0110】図12に隠面処理装置のブロック図を示す。隠面処理装置34はZバッファ法を使用した隠面処理を行うもので、スキャンライン毎にパラメータ演算装置31よりパラメータを受け取り、そのパラメータをパイプライン上にて順次各ドット（画素）毎に隠面処理を行ってゆき、1スキャンラインのデータを全て処理した時点で各ドットのパラメータメモリアドレスを順次水平補間演算装置33へ転送することにより隠面処理を行

う。すなわち、各ドットにおいて、格納されている一番手前に存在するポリゴンのZ値と処理するポリゴンのZ値を比較し、処理するポリゴンのZ値が小さい場合には、そのポリゴンのパラメータアドレスを水平補間演算装置33へ転送し、そのZ値を比較すべきZ値として格納する。また処理するポリゴンのZ値が大きい場合には、Z値の書換及びパラメータアドレスの書換は行わず、以前に格納されたままのパラメータアドレス値を水平補間演算装置33へ転送するものである。

10 【0111】パラメータ演算装置31から左辺のX値（XL）、左辺のZ値（ZL）、左辺と右辺のX値の差（DXY）、Z値の微差分（DDZ）、パラメータメモリアドレスが隠面処理装置34のパラメータ演算装置I/F34bに与えられ、このパラメータ演算装置I/F34bから各データがスキャンライン隠面処理装置34aへ転送される。

【0112】スキャンライン隠面処理装置34aは、Zバッファ法に基づく隠面処理を行うものであり、スキャンラインの各ドットに対応してそのドットの隠面処理を行う為に、図13のブロック図に示すように、スキャンラインの各ドットに対応して、水平解像度に相当する数（ $n+1$ ）個の水平ドット隠面処理装置34-0～34-nが設けられている。

20 【0113】そして、パラメータ演算装置31から受け取ったデータをスキャンラインの各ドットレベルの水平ドット隠面処理装置34-0～34-nの連なるパイプラインの0アドレスから順次パイプライン処理を行うことにより高速な隠面処理を行う。この水平ドット隠面処理装置34-0～34-nは、スキャンラインの各ドットに対応し、Zバッファ法によりそのドットの隠面処理を行う。

30 【0114】図14に水平ドット隠面処理装置の実施例を示す。パラメータ演算装置31から転送されるスキャンライン上の各ドットに対応する奥行き距離データ（Z値）は、パラメータ演算装置I/F34bを介して奥行きレジスタ341に格納される。パラメータ演算装置I/F34bから転送されるスキャンライン上の各ドットに対応するパラメータメモリ31のアドレスがパラメータアドレスレジスタ342に格納する。

40 【0115】比較器344の一方の入力には、Aバスの状態の値、すなわちパラメータ演算装置I/F34bを介して与えられるポリゴンのZ値が、他方の入力にはマルチプレクサ343を介して、奥行きレジスタ341に格納された以前のZ値か或いは、そのドットに対応するX値、すなわちXアドレス値が与えられる。このマルチプレクサ343は、比較器344が他のポリゴンのZ値と比較する時には、奥行きレジスタ341の値を比較器344へ送り、他のポリゴンがこのドットにかかるか調べる時には、Xアドレス値を比較器344へ送るように制御される。そして、比較器344では、パイプライン

を流れてくるポリゴンがそのドットにかかるか否かの判断と、かかった場合、そのポリゴンのZ値がパラメータアドレスレジスタ342に入っているポリゴンのZ値とではどちらが手前か、すなわちどちらのZ値が小さいかの判断を行い、その結果をコントローラ352へ知らせる。

【0116】加算器346はZ値とZ値の微差分値のDDZを加算することにより、デジタル微分解析(DDA)を行い、次のドットのZ値を求めたり、左辺と右辺のX値の差、DXYから1を引くことによりそのポリゴンのXの右辺値を求めたりする。このため加算器346の一方には、BバスよりDDZ、DXYが与えられ、他方にはマルチプレクサ345からAバスの状態のZまたは“-1”の値が与えられる。マルチプレクサ345は、加算器346がZ値の演算をするときは、Aバスの状態2の値Zを加算器346へ送り、DXYの演算をする時は“-1”の値を加算器346へ送り出す。

【0117】マルチプレクサ348は加算器346がDXYの演算をした時は加算器346の出力をBバスパイプラインレジスタ350へ送り、その他の時は、Bバスの値をBバスパイプラインレジスタ350へ送る。

【0118】マルチプレクサ347は加算器346がZ値の更新をした時に加算器346の出力をAバスパイプラインレジスタ349へ送り、その他の時はAバスの値をAバスパイプラインレジスタ349へ送る。このAバスのパイプラインレジスタ349の値は次段の水平ドット隠面処理装置34へ転送される。

【0119】Bバスパイプラインレジスタ350のバスの値は次段の水平ドット隠面処理装置34へ転送される。Cバスパイプラインレジスタ351のバスの値は次段の水平ドット隠面処理装置34へ転送される。コントローラ352はEバスより受けたアクティブ信号により駆動し、もしアクティブであれば、図21のようなフローに従い水平ドット隠面処理装置を動作させ、アクティブでなければ駆動しない。Eバスパイプラインフリップフロップ353は、コントローラ352がアクティブであるか否かを示すEバス信号が格納され、このEバス信号を次の水平ドット隠面処理装置34へ転送する。

【0120】図15に各バスのデータの流れを示す。この図15及び図14を参照して、この隠面隠面処理装置の動作を説明する。

【0121】まず、スキャンラインの右端点情報として座標値の代わりに右辺と左辺の差DXYをBバスより与える。即ち左辺の座標(XL、ZL)、DXY、単位ドット当たりのZ座標の微差分値DDZが、図13に示すアレイ構造の構成される水平ドット隠面処理装置の左側からAバス、Bバスに分けて入力される。制御情報(フリップフロップ353に格納されるEバス信号)には、そのドットの存在する範囲内に入っていることを示す情報がある。各バスのデータには図15に示すようにデータ

が時分割的に与えられる。

【0122】各水平ドット隠面処理装置34の動作を図14及び図15に従い説明する。第1のタイミング状態1では、AバスにXL、BバスにDXYが、第2のタイミングでは、AバスにZ値が、BバスにDDZが与えられ、Cバスは状態1、状態2の両タイミングでパラメータアドレスが与えられる。比較器344が負の時、このドットがこの画素位置でポリゴンの存在範囲に入ったことになり、マルチプレクサ345でデータ“-1”を加算器346に与える。加算器346の他方にはBバスよりDXYを与える。ドットがポリゴンの存在範囲内の場合は、マルチプレクサ347は、レジスタ349に加算器346の出力を出力する。

【0123】第2の状態では、ドットが存在範囲に入っている状態であれば、AバスのZとBバスのDDZを加算して加算器346の出力をBバスに出力し、そうでなければデータを更新しないでBバスに出力する。そして、ドットが存在範囲内に入っている状態でAバス上のAデータZと奥行きレジスタ341に格納されているデータZAを比較器344で比較した結果がZ<ZAの時、奥行きレジスタ341のデータを書き換えるとともに、パラメータアドレスレジスタ342にAバス上のZとCバス上のパラメータアドレスをそれぞれ格納する。

【0124】図13に示す水平ドット隠面処理装置34-0では1減算して0であるためZ値の更新、ZAとの比較は行われない。水平ドット隠面処理装置34-1では更に1減算されて負になったため、Xに代わってDXYをAバスに出力し、後の水平ドット隠面処理装置ではDXYに対して減算が行われる。水平ドット隠面処理装置34-1は更にフリップフロップ353を1として自らもZ値の更新、ZAとの比較を行う。後段の隠面処理装置ではDXYが順次1減算され、その結果が負になるまで続けられる。負になった時はフリップフロップ353を0に戻し、残りの隠面処理装置ではZ値の更新、ZAとの比較は行われない。

【0125】図16にスキャンライン隠面処理装置のパイプラインのタイムチャートを示す。P1-1とはポリゴン状態1、P1-2とはポリゴン1の状態2、P2-1とはポリゴン2の状態1のことである。水平補間演算装置33から受けた水平ライン上のドットアドレス値をスキャンライン隠面処理装置34aへ送り、次のドットに対応する水平ドット隠面処理装置34がパラメータアドレスレジスタ342の値をDバスを介して受け取り、そのパラメータアドレスを水平補間演算装置33へ送る。これら各装置はコントローラ41で制御される。

【0126】次に図17及び図18に従い、水平補間演算装置33につき説明する。隠面処理装置34が各ドットのパラメータメモリ32のアドレスがパラメータ入力装置33aに与えられる。パラメータ入力装置33aは入力されたパラメータメモリアドレスに従って、パラメ

ータメモリ 32 よりそのアドレスに格納されたパラメータを読み出し、スキャン演算装置 33b に転送する。

【0127】スキャン演算装置 33 は、パラメータメモリ 32 からパラメータ入力装置 33a を介して転送された左辺の X 値 (XL)、左辺のマッピングメモリアドレス (MXL、MYL)、マッピングメモリアドレスの微差分値 (DDMY) を受け取り、現在処理しているスキャンラインの X アドレスのドットのマッピングメモリアドレス (MX、MY) を求め、フレームメモリコントローラ 33c に転送する。

【0128】フレームメモリコントローラ 33c は、スキャン演算装置 33b で求めたマッピングパターンメモリアドレス (MX、MY) によりマッピングパターンメモリ 7 をアクセスすることにより、現在処理されているスキャンラインの X アドレスのドットの R、G、B または LUT 値を求めフレームメモリ 8 に書き込む。これら各装置はコントローラ 42 にて制御され、このコントローラ 42 は図 21 に示すフローチャートに従い動作する。

【0129】図 18 はスキャン演算装置 33b の具体的実施例を示すブロック図である。パラメータメモリ 32 より与えられる左辺の X 値 (XL) がレジスタ 360 に格納される。このレジスタ 360 に格納された XL 値が減算器 366 の一方の入力として与えられる。またレジスタ 361 には処理すべき X アドレス値 (XAD) が格納され、このレジスタ 361 から X アドレス値 (XAD) が減算器 366 の他方の入力として与えられる。減算器 366 にて $XL - XAD$ の演算が行われ、処理される左辺 X 値 (XL) の距離 (DXY) が求められ、この値が乗算器 367、368 の一方の入力として与えられる。

【0130】レジスタ 362 は、マッピングパターンメモリ 7 の X 左辺のアドレス値 (MXL) が格納され、このアドレス値 (MXL) が加算器 369 の一方の入力として与えられる。レジスタ 363 にはマッピングパターンメモリアドレスの X の微差分値すなわち、変位 (DDMX) が格納され、この DDMX が乗算器 367 の他方の入力として与えられる。

【0131】そして、乗算器 367 にて $DXY * DDMX$ の演算が行われ、この乗算結果が加算器 369 に与えられる。加算器 369 には、レジスタ 362 に格納された X のマッピングメモリアドレス (MXL) が与えられ、 $MXL + DXY * DDMX$ の演算が行われ、マッピングメモリアドレスの X 値 (MX) が算出され、その MX 値がレジスタ 371 に格納される。レジスタ 364 にはマッピングパターンメモリアドレスの Y の差分値 (DDMY) が格納され、この DDMY が乗算器 368 の他方の入力として与えられる。

【0132】そして、乗算器 368 にて $DXY * DDMY$ の演算が行われ、この乗算結果が加算器 370 に与え

られる。加算器 370 にはレジスタ 364 に格納された左辺の Y のマッピングメモリアドレス (MYL) が与えられ、 $MYL + DXY * DDMY$ の演算が行われ、マッピングメモリアドレスの Y 値 (MY) が算出され、その MY 値がレジスタ 372 に格納される。

【0133】上記ポリゴン外形処理装置 20 及びポリゴン内部処理装置 30 の動作を図 19 ないし図 22 の動作フローに基づき、上記回路例に従い説明する。

【0134】ポリゴン外形処理装置 20 の動作につき説明する。まず、コントローラ 25 がポリゴン数 (P) をスクリーンメモリ 5 より読み出し、そして、処理するポリゴン端点数を読み出し、その数をポリゴン抽出装置 21 に与える。(ステップ S1、S2)。

【0135】そして、スクリーンメモリ 5 より各辺の始点 (XS、YS、MXS、MYS、ZS) を、それぞれ読み出し (ステップ S3)、スクリーンメモリ 5 のアドレスをインクリメントする。そしてスクリーンメモリ 5 より各辺の終点 (XE、YE、MXE、MYE、ZE) をそれぞれ読み出す (ステップ S4)。この読み出した端点の始点 (XS、YS)、終点 (XE、YE) からポリゴン抽出装置 21 にて方向ベクトルを算出し、この辺ベクトルに基づき左辺または右辺を判定すると共にポリゴンの向き (DIR) を設定する (ステップ S5)。

【0136】そして、外形処理装置 20 の X パラメータ演算装置 22a にて X パラメータの演算を行う (ステップ S6)。X パラメータ演算装置 22a の減算器にスクリーンメモリ 5 からの YE、YS のデータが与えられ、両者間の距離 DY を算出する。

【0137】続いて、X パラメータ演算装置 22a の減算器にスクリーンメモリ 5 から始点 (XS) 及び終点 (XE) データが与えられ、この減算器からの減算結果 ($XE - XS$) が除算器へ供給される。

【0138】この除算器にて、 $(XE - XS) / DY$ の除算が行われ、X パラメータが算出される。(ステップ S6)。

【0139】続いて、この X パラメータを用いて X 垂直補間装置 23a で補間演算が行われる (ステップ S10)。この値 (DDX) が補間演算回路の加算器へ与えられる。この加算器にて、 $X + DDX$ の補間演算が行われ、この値がレジスタに書き込まれ、このレジスタからポリゴンエッジメモリ 6 に X アドレスとして書き込まれる (ステップ S10)。

【0140】続いて、ステップ S7 及びステップ S8 において、パラメータの演算及びマッピングパラメータの演算が行われるマッピングパラメータ演算装置 22b 及び 2 パラメータ演算装置 22c では、スクリーンメモリ 5 より、読み出されたマッピングパターンの端点アドレス (MXS、MYS)、(MXE、MYE) 及び Z 値の端点アドレス (ZS、ZE) が入力され、減算器にて、 $MXE - MXS$ 、及び $MYE - MYS$ の演算が、減算器

にて、 $Z E - Z S$ の演算が行われ、その演算結果が除算器と除算器に与えられる。

【0141】この除算器には差分回路の減算器62からのDYが与えられ、上述の演算結果との間で除算され、微差分値が算出される。

【0142】この微差分演算回路にて、 $DMX = (MX E - MX S) / DY$ 、 $DMY = (MY E - MY S) / DY$ 、 $DZ = (Z E - Z S) / DY$ の演算が行われ、パラメータが算出される。この演算結果がマッピング垂直補間装置23b、Z値補間装置23cの加算器へ供給される。

【0143】ステップS11、S12では、補間装置23b、23cの加算器に微差分演算回路からの出力と、レジスタに設定された前のデータとの間で加算がなされ、 $MX = MX + DMX$ 、 $MY = MY + DMY$ 、 $Z = Z + DZ$ の演算が行われる。

【0144】この値がレジスタに与えられ、このレジスタの値がマッピングパターンアドレスデータ、レジスタの値がZ値のアドレスデータとしてポリゴンエッジメモリ6に書き込まれる。

【0145】ポリゴンエッジメモリ6には、Yアドレス毎にポリゴン辺の左辺Xアドレス、右辺Xアドレス、マッピングパターンの左辺Xアドレス、右辺Xアドレス、マッピングパターンの左辺Yアドレス、右辺Yアドレス、Z値の左辺アドレス、右辺アドレスが格納される。

【0146】ステップS13にて $Y + DIR$ の演算、すなわちポリゴンが下向きの時には、“+1”、上向きの時には“-1”の演算を行いステップS14に進む。そして、ステップS14にて、 $Y = YE$ が判断され、 $Y \neq YE$ の場合には、ステップS10へ戻り、前述の動作を繰り返す、 $Y = YE$ になるとステップS15へ進む。

【0147】ステップS15にて、ポリゴンの全ての辺が終了したか否か判断され、終了していない場合には、ステップS3へ戻り、前述の動作を繰り返す。

【0148】ポリゴンの全ての辺が終了すると、ステップS16へ進み、ステップS16にて、ポリゴンの全ての処理が終了したか否か判断され、ポリゴンの全ての処理が終了していない場合には、ステップS2に戻り、前述の動作を繰り返す。そして、ポリゴン全ての処理が終了したと判断されると、外形処理動作が終了する。

【0149】続いて、ポリゴン内部処理装置30について説明する。まずポリゴンエッジメモリ6からの読み出しについて図20に従い説明する。

【0150】ポリゴン内部処理装置30は、まずYアドレスを初期化し(ステップS21)、スキャンラインのYアドレス毎のポリゴン数を読み出し、(ステップS22)、ステップS23に進む。

【0151】ステップS23では、Yアドレス毎に対向する2辺間の左辺側のポリゴンの外形を示す2点のXの左辺(XL)、マッピングアドレスのY値(MYL)、

X値(MXL)とZ値のアドレス(ZL)をポリゴンエッジメモリ6から読み出す。

【0152】そして、パラメータ演算装置31にてマッピングパラメータ演算を行う(ステップS25)減算器にポリゴンエッジメモリ6からのXR、XLのデータが与えられ、両者間の距離DXが算出される。このDXは微差分演算回路に供給される。

【0153】微差分演算回路内の減算器92にはポリゴンエッジメモリ6からマッピングアドレスの左辺(MXL、MYL)及び右辺(MXR、MYL)、及びZのアドレスの左辺(ZL)、右辺(ZR)のデータがそれぞれ与えられ、この減算器からの減算結果 $MXR - MXL$ 、 $MYR - MYL$ 、 $ZL - ZR$ が除算器へ供給される。

【0154】この除算器にて、 $(MXR - MXL) / DX$ 、 $(MYR - MYL) / DX$ 、 $(ZR - ZL) / DX$ の除算が行われ、この値(DDMX)(DDMY)(DDZ)がパラメータメモリ32に与えられると共に、隠面処理装置34へパラメータが与えられる(ステップS28)。ステップS29でスキャンライン上のポリゴン全てに処理を行ったか否か判断され、処理が終了していない場合には、ステップS28へ戻り前述の動作を繰り返す。

【0155】更に、1つのスキャンライン、すなわち、Yアドレスのポリゴンが終了すると、ステップS30に進み、ステップS30にてYアドレスをインクリメントし、全てのYアドレスに対応する処理が終了するまで、すなわち、Yアドレスが垂直解像度より大きくなるまで前述の動作を繰り返し(ステップS31)、全てのアドレスに対応する処理が終了した時点で、パラメータメモリ32の書き込み動作が終了する。

【0156】次に、水平ドット隠面処理装置34-nの動作につき、図22の動作フローに従い説明する。まず、そのドットがポリゴンの範囲内に存在するか否か判断される。すなわち、ポリゴンエッジメモリコントローラ31cより、Yアドレス(スキャンライン毎)のスキャンラインアドレスXLが与えられ、このXLとそのドットが対応するXアドレスLを比較するとともに、 $DX \cdot Y$ の値が0であるか否か判断する。(ステップS71)。そしてXアドレスよりXLが大きいく且つ $DX \cdot Y$ が0でない場合には、そのドットがポリゴンの範囲内に存在するのでステップS72に進み、そうでない場合には、隠面処理動作を終了する。

【0157】ステップS72では、奥行きレジスタ341に格納されたZ値(ZA)と、今読み込んだZ値とを比較し、奥行きレジスタ341のZ値の方が大きい、すなわちいま読み込んだドットの方が手前にある場合にはステップS73に進み、Z値が小さい場合にはステップS74に進む。ステップS73では、パラメータアドレスレジスタ342にパラメータアドレスを格納し、ステ

ップS 7 4に進む。ステップS 7 4では、 $DX Y = DX Y - 1$ の演算を行い、ステップS 7 5へ進み、ステップS 7 5で次のZ値を求める演算であるZ値の補間、すなわち、 $Z = DDZ + Z$ の演算を行った後、隠面処理動作を終了する。

【0158】続いて、ポリゴン内部処理装置30におけるパラメータメモリ32からのデータ読み出し動作を中心として、図21の動作フロー図に従い説明する。まず、Yアドレス及びXアドレスを初期化した後（ステップS 4 1、S 4 2）、隠面処理装置34よりXアドレス

のパラメータアドレスを読み出す（ステップS 4 3）。【0159】続いて、ステップS 4 4にて、そのXアドレスにポリゴンが存在するか否かが判断され、ポリゴンが存在しない場合には、ステップS 4 9へ進み、ポリゴンが存在する場合には、ステップS 4 5に進む。ステップS 4 5では、隠面処理装置30より与えられたXアドレスに対応するパラメータアドレスに従ってパラメータメモリ32よりパラメータを読み出し、ステップS 4 6へ進む。

【0160】ステップS 4 6において、水平補間演算装置33にてパラメータメモリ32より読み出されたパラメータに従って、マッピングパターンメモリ7のアドレス(MX, MY)を算出し、ステップS 4 7に進む。

【0161】ステップS 4 7において、算出されたアドレスに従ってマッピングパターンメモリ7をアクセスし、マッピングパターンメモリからR、G、BまたはLUT値等の色情報を読み出し、ステップS 4 8に進む。

【0162】ステップS 4 8において、色情報をフレームメモリ8に書き込み、ステップS 4 9に進む。ステップS 4 9にて、Xアドレスを一つインクリメントし、ステップS 5 0に進む。

【0163】ステップS 5 0において、Xアドレスと水平解像度が比較され、Xアドレスが水平解像度より小さい時には、ステップS 4 3に戻り前述の動作を繰り返す。Xアドレスが水平解像度より大きくなるとステップS 5 1に進み、ステップS 5 1にて、隠面処理装置34を初期化し、ステップS 5 2に進む。

【0164】ステップS 5 2にて、Yアドレスを一つインクリメントし、ステップS 5 3に進み、ステップS 5 3にてYアドレスと垂直解像度が比較される。Yアドレスが垂直解像度より小さい場合には、ステップS 4 2に戻り、前述の動作を繰り返し、Yアドレスが垂直解像度より大きくなると、ポリゴン内部処理動作が終了する。

【0165】

【発明の効果】以上説明したように、この発明によれば、各ポリゴン端点に模様のためのマッピングのX、Yアドレスとポリゴンの奥行き状態を示す奥行き情報を備え、そのマッピングのX、Yアドレスと奥行き情報をポリゴンの外形に対応して変化させて補間して算出し、そして、Zバッファ法を使用した隠面処理により、比較し

た画素位置における一番手前に位置するポリゴンのXアドレス、マッピングパターン情報、マッピングパターン情報の変位に基づいてマッピングパターンアドレスを算出する。この算出したマッピングメモリアドレスに従いマッピングパターンメモリをアクセスすることにより、マッピングメモリ7に格納されたデータに基づき、各ドットのR、G、Bまたは輝度(LUT)値を順次読み出すことで、高速でマッピングを施した画像をCRTに表示することができる。

【図面の簡単な説明】

【図1】この発明の立体画像表示装置の構成を示すブロック図である。

【図2】この発明に用いられるポリゴン外形処理装置の構成を示すブロック図である。

【図3】上記ポリゴン外形処理装置におけるXパラメータ演算装置の構成を示すブロック図である。

【図4】上記ポリゴン外形処理装置におけるマッピングパラメータ演算装置の構成を示すブロック図である。

【図5】上記ポリゴン外形処理装置におけるZパラメータ演算装置の構成を示すブロック図である。

【図6】上記ポリゴン外形処理装置におけるX垂直補間装置の構成を示すブロック図である。

【図7】上記ポリゴン外形処理装置におけるマッピング垂直補間装置の構成を示すブロック図である。

【図8】上記ポリゴン外形処理装置におけるZ垂直補間装置の構成を示すブロック図である。

【図9】この発明に用いられるポリゴン内部処理装置のパラメータ演算装置の構成を示すブロック図である。

【図10】上記パラメータ演算装置のマッピングパラメータ演算装置の構成を示すブロック図である。

【図11】上記パラメータ演算装置の隠面処理パラメータ演算装置の構成を示すブロック図である。

【図12】この発明に用いられるポリゴン内部処理装置の構成を示すブロック図である。

【図13】上記隠面処理装置のスキャンライン隠面処理装置の構成を示すブロック図である。

【図14】上記スキャンライン隠面処理装置を構成する水平ドット隠面処理装置の具体的構成例を示すブロック図である。

【図15】上記水平ドット隠面処理装置へのデータの転送状態を示すタイミングチャートである。

【図16】上記スキャンライン隠面処理装置の処理タイミングを示す模式図である。

【図17】この発明に用いられる内部描画処理装置の水平補間演算装置の構成例を示すブロック図である。

【図18】上記水平補間演算装置のスキャン演算装置の構成を示すブロック図である。

【図19】この発明のポリゴン外形処理装置の動作を示すフローチャートである。

【図20】この発明のポリゴン内部処理装置の動作を示

サフローチャートである。

【図21】この発明のポリゴン内部処理装置の動作を示サフローチャートである。

【図22】この発明のポリゴン内部処理装置の隠面処理動作を示サフローチャートである。

【図23】この発明に用いられるポリゴンエッジメモリを示サ模式図である。

【図24】この発明に用いられるパラメータメモリを示サ模式図である。

【図25】この発明に用いられるスクリーンメモリを示サ模式図である。

【図26】マッピングパターンメモリの一例を示サ模式図である。

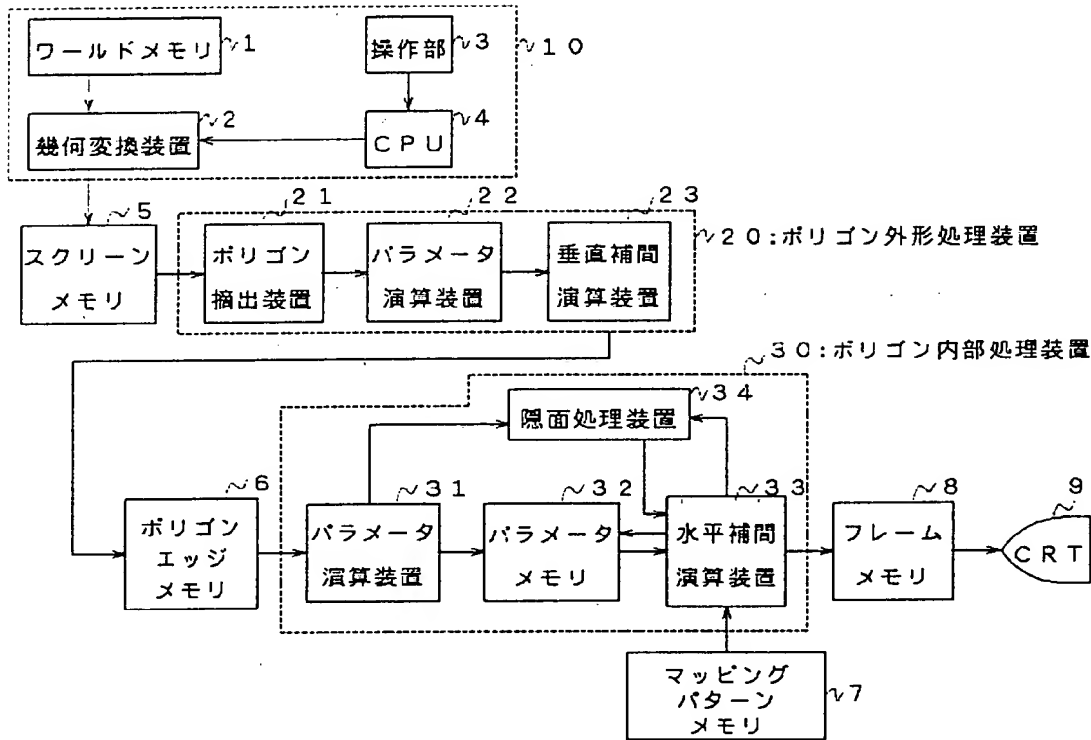
【図27】ポリゴンの辺ベクトル方向の関係を示サ図である。

【図28】ポリゴンの方向ベクトルと辺との関係を示サ図である。

【符号の説明】

- 1 ワールドメモリ
- 2 幾何変換装置
- 5 スクリーンメモリ
- 7 マッピングパターンメモリ
- 8 フレームメモリ
- 9 CRT
- 20 ポリゴン外形処理装置
- 30 ポリゴン内部処理装置

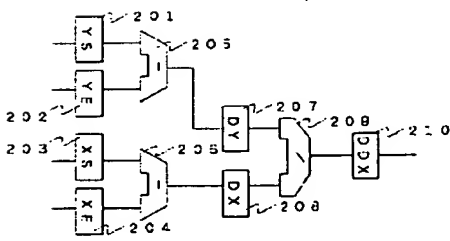
【図1】



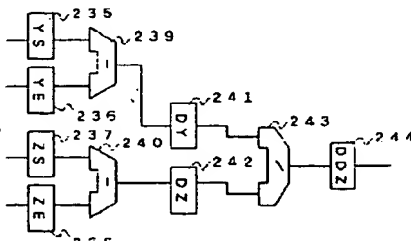
【図28】

方向ベクトル	辺
0	右辺
1	右辺
2	右辺
3	右辺
4	左辺
5	左辺
6	左辺
7	左辺
8	左辺

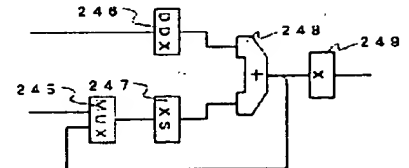
【図3】



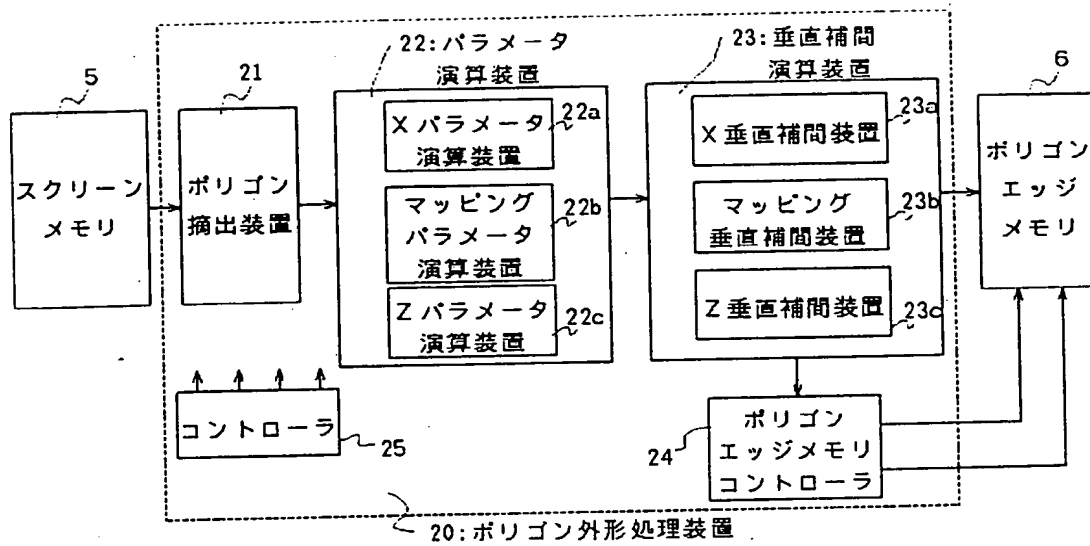
【図5】



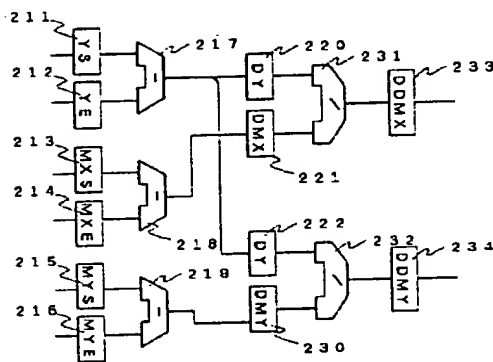
【図6】



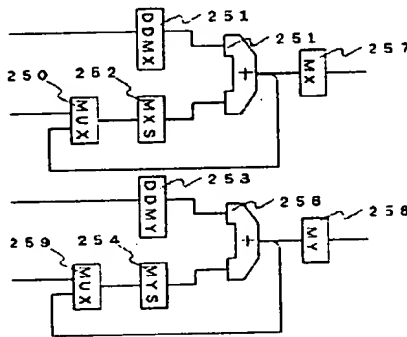
【図 2】



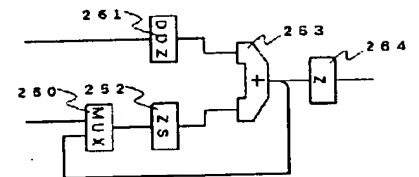
【図 4】



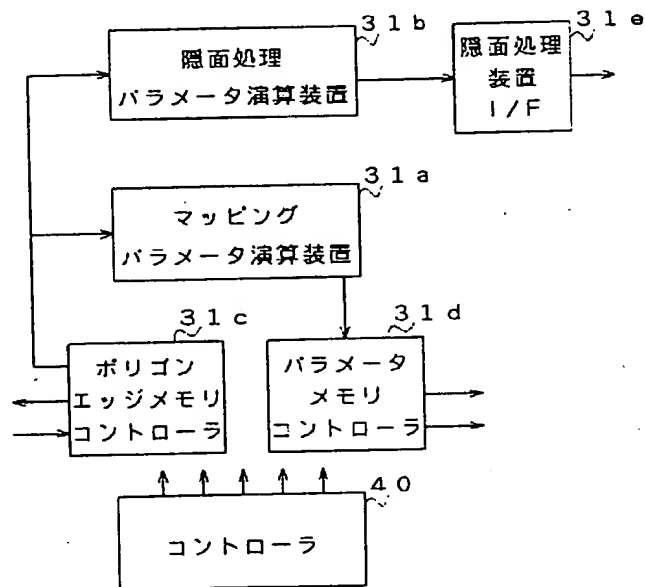
【図 7】



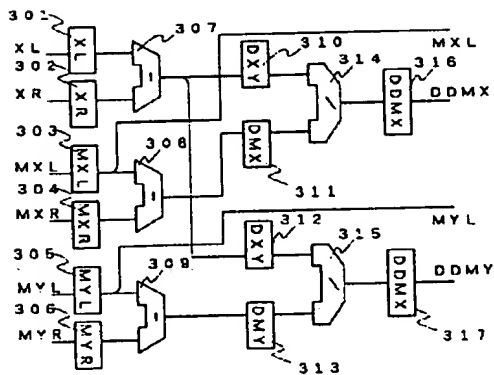
【図 8】



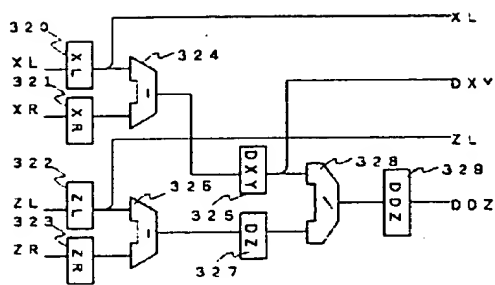
【図 9】



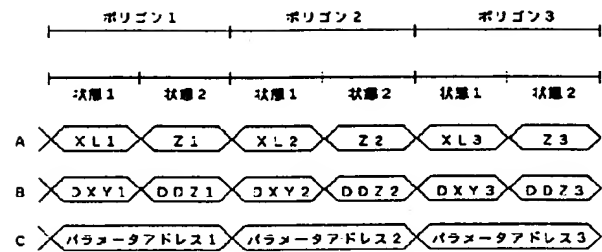
【図 10】



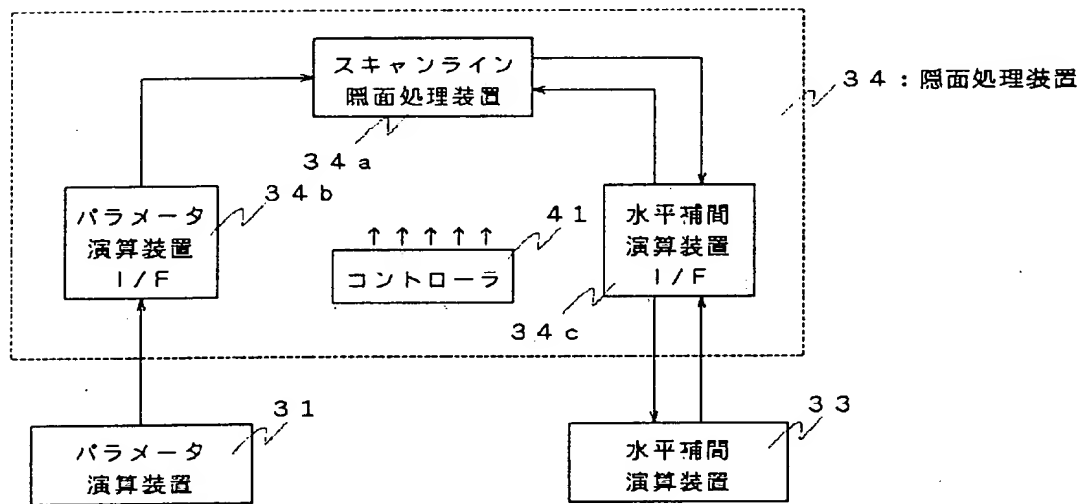
【図 11】



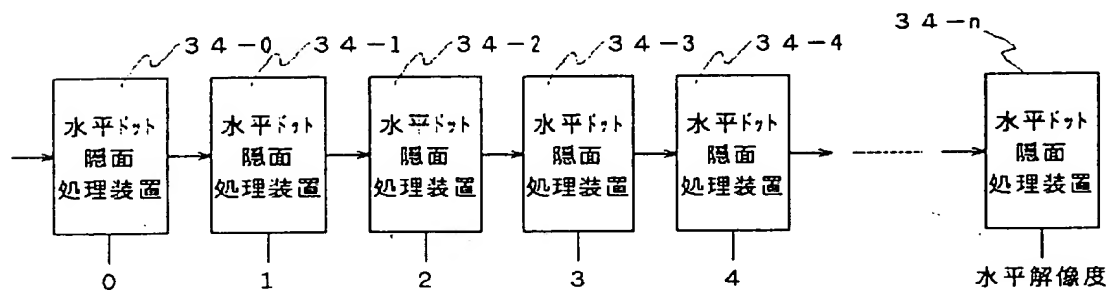
【図 15】



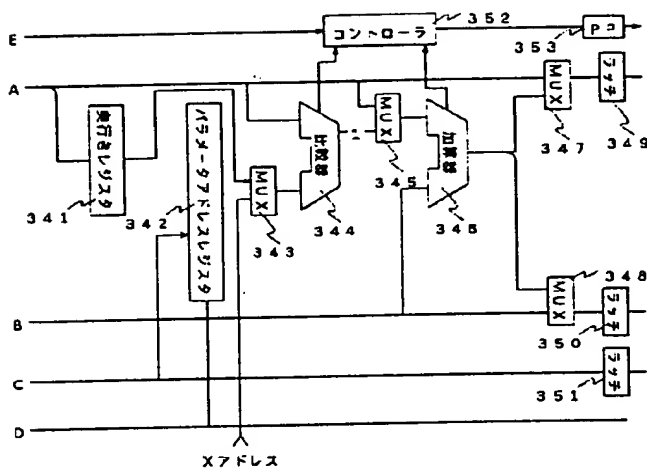
【図 12】



【図 13】



【図14】

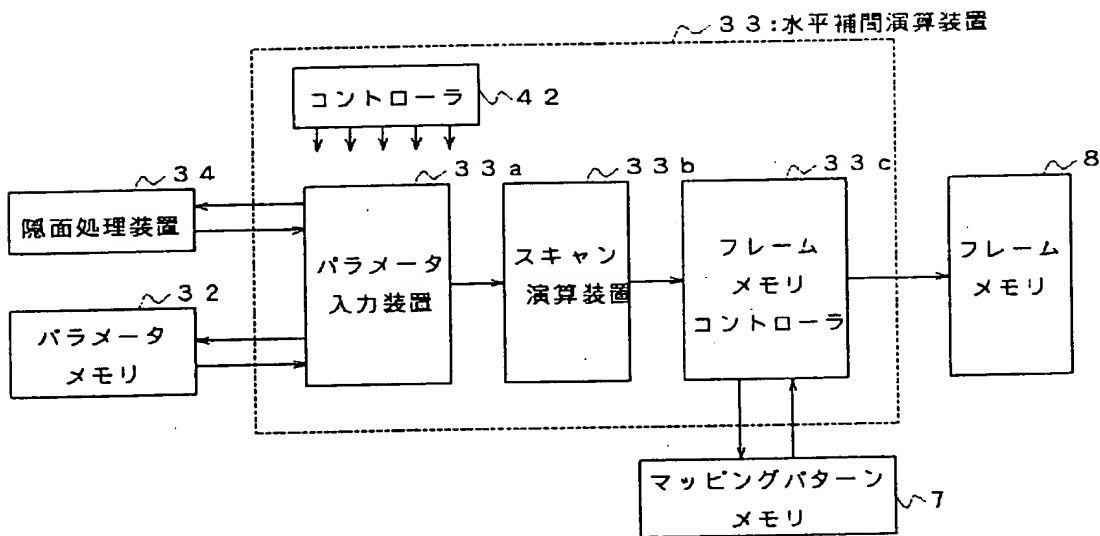


【図16】

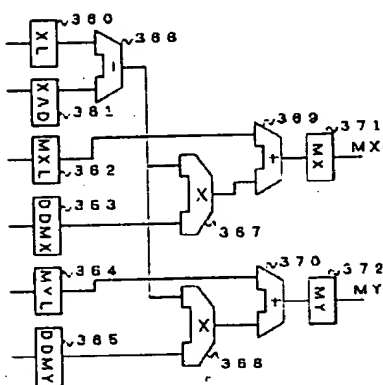
水平方向

方向	0	1	2	3	4	5	6	7	8	9	10	11	12	13
1	P1-1													
2	P1-2	P1-1												
3	P2-1	P1-2	P1-1											
4	P2-2	P2-1	P1-2	P1-1										
5	P3-1	P2-2	P2-1	P1-2	P1-1									
6	P3-2	P2-1	P2-2	P2-1	P1-2	P1-1								
7	P4-1	P3-2	P3-1	P2-2	P2-1	P1-2	P1-1							
8	P4-2	P4-1	P3-2	P3-1	P2-2	P2-1	P1-2	P1-1						
9	P5-1	P4-2	P4-1	P3-2	P3-1	P2-2	P2-1	P1-2	P1-1					
10	P5-2	P5-1	P4-2	P4-1	P3-2	P3-1	P2-2	P2-1	P1-2	P1-1				
11	P6-1	P5-2	P5-1	P4-2	P4-1	P3-2	P3-1	P2-2	P2-1	P1-2	P1-1			
12	P6-2	P6-1	P5-2	P5-1	P4-2	P4-1	P3-2	P3-1	P2-2	P2-1	P1-2	P1-1		
13	P7-1	P6-2	P6-1	P5-2	P5-1	P4-2	P4-1	P3-2	P3-1	P2-2	P2-1	P1-2	P1-1	
14	P7-2	P7-1	P6-2	P6-1	P5-2	P5-1	P4-2	P4-1	P3-2	P3-1	P2-2	P2-1	P1-2	P1-1

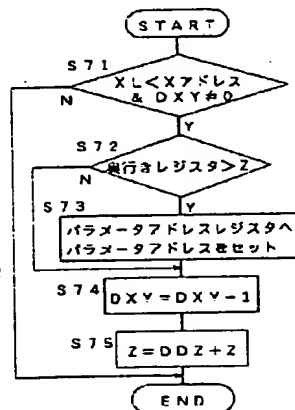
【図17】



【図18】



【図22】

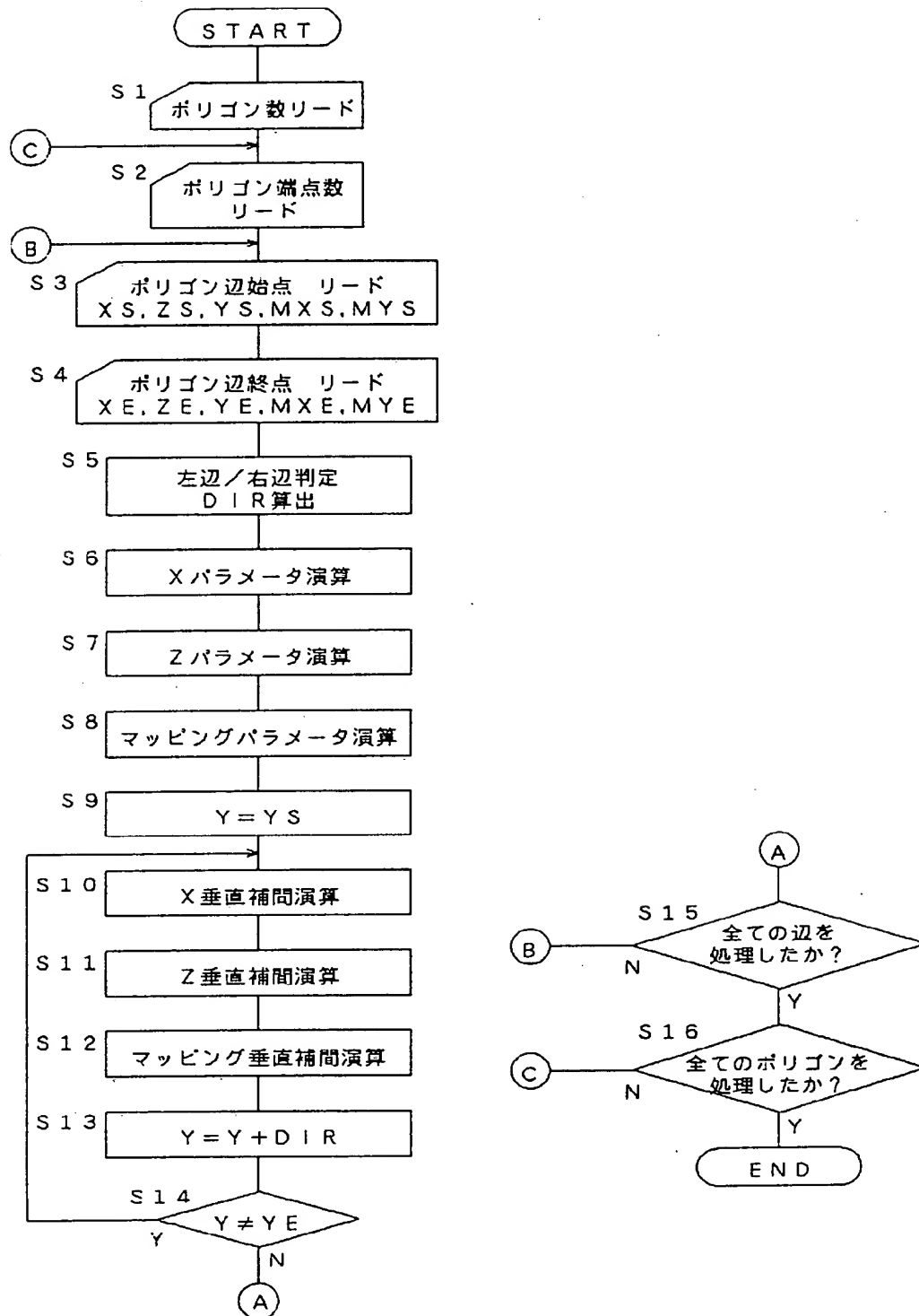


【図24】

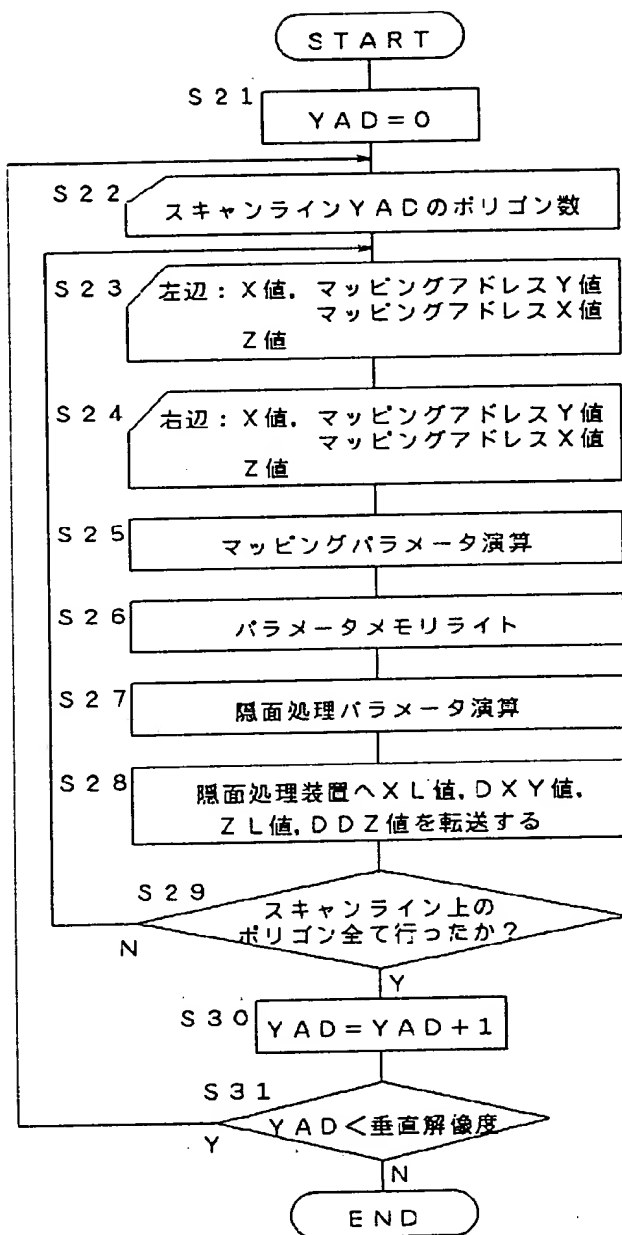
パラメータ 741	左辺X値	マッピング 左辺MX値	マッピング MX差分値	マッピング 左辺MY値	マッピング MY差分値
1					
2					
3					
...					
n					

パラメータメモリ

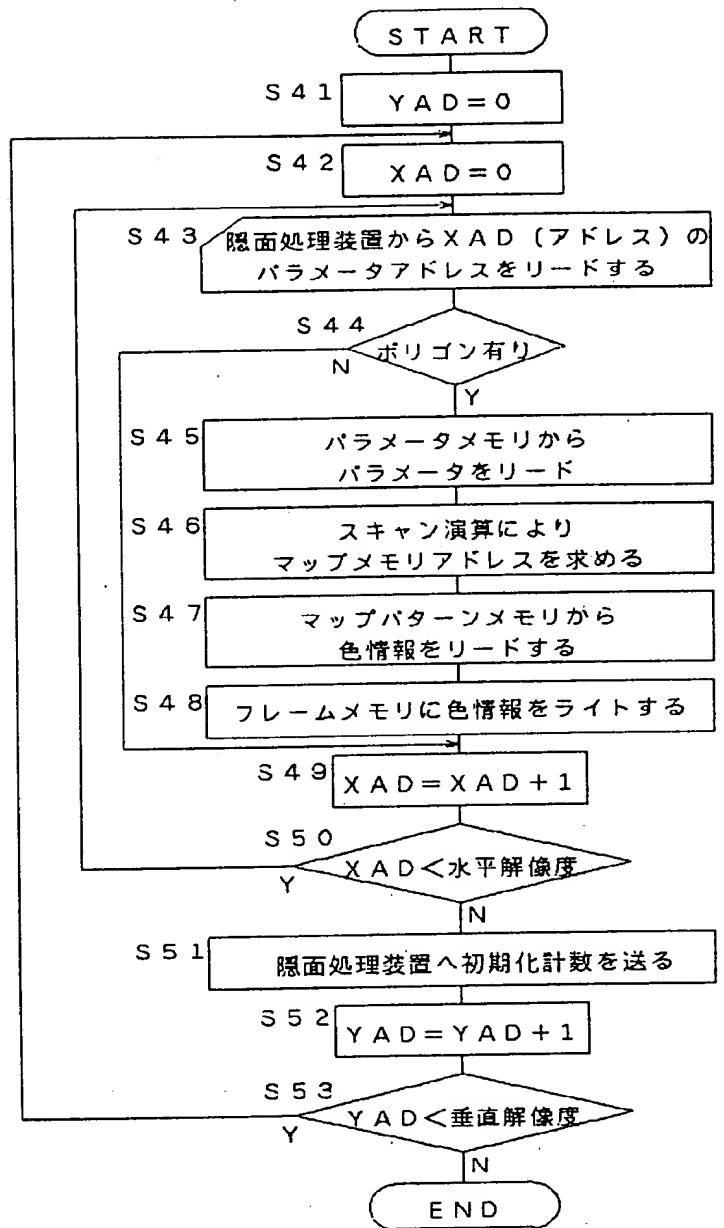
【図 19】



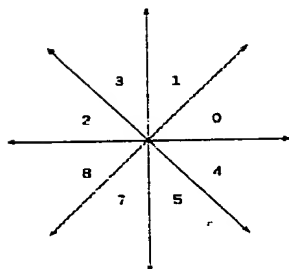
【図20】



【図21】



【図27】



【図23】

ポリゴンスキャンライン交点1					ポリゴンスキャンライン交点2, 5, 8				
左辺					右辺				
Yアドレス	CN	X値	マッピング Xアドレス	マッピング Yアドレス	Z値	X値	マッピング Xアドレス	マッピング Yアドレス	Z値
1									
2									
3									
ポリゴンエッジメモリ									

【図25】

ポリゴン 1	端点1	X値	Y値
		Z値	MX MY
	2	X値	Y値
		Z値	MX MY
	3	X値	Y値
ポリゴン 2		Z値	MX MY
	4	X値	Y値
		Z値	MX MY
	端点1	X値	Y値
		Z値	MX MY
ポリゴン 2	2	X値	Y値
		Z値	MX MY
		X値	Y値

スクリーンメモリ

【図26】

